

С. А. Морозов, Д. М. Барановский, Л. К. Минкин, А. П. Семикин, А. Д. Черкай

ОДНОКРИСТАЛЬНЫЕ ЭВМ СЕРИИ КБ1013

Однокристальные 4-разрядные ЭВМ КБ1013ВК1-2, КБ1013ВК4-2 представляют собой функционально законченные устройства, изготовленные по КМОП-технологии с алюминиевыми затворами на основе метода стандартных элементов. ЭВМ имеют архитектуру гарвардского типа, вертикальное последовательное микропрограммное управление с естественной адресацией и содержат на кристалле: центральный процессор, ОЗУ данных и ПЗУ программ, таймер-счетчик, контроллер жидкокристаллических дисплеев (ЖКД), входной буфер и выходной регистр данных, формирователь внешних прерываний, логику сброса, блок управления резервированием мощности, тактовый генератор, устройство синхронизации. Микросхемы серии КБ1013 имеют идентичную структуру и отличаются объемами внутренней памяти программ, внутреннего ОЗУ, памяти «изображения», организацией контроллера ЖКД и выходного регистра данных, числом источников питающих напряжений (табл. 1).

Таблица 1. Основные параметры микросхем серии КБ1013

Параметр	КБ1013ВК1-2	КБ1013ВК4-2
Объем памяти программ (ПЗУ), байт	1827	2772
Объем памяти данных (ОЗУ), полубайт	65	96
Объем памяти «изображений», полубайт	18	32
Организация контроллера ЖКД:		
число выводов сегментов	36	32
число выводов общих электродов	2	4
временная мультиплексия	1:2	1:4
разрядность регистра вывода, бит	4	8
последовательный регистр вывода	Нет	Есть
дешифратор сегментного кода	Есть	Нет
число источников питающих напряжений	2	1
Число команд ассемблера	58	53

Условное графическое обозначение микросхем приведено на рис. 1 и 2. Назначение выводов показано в табл. 2 и 3.

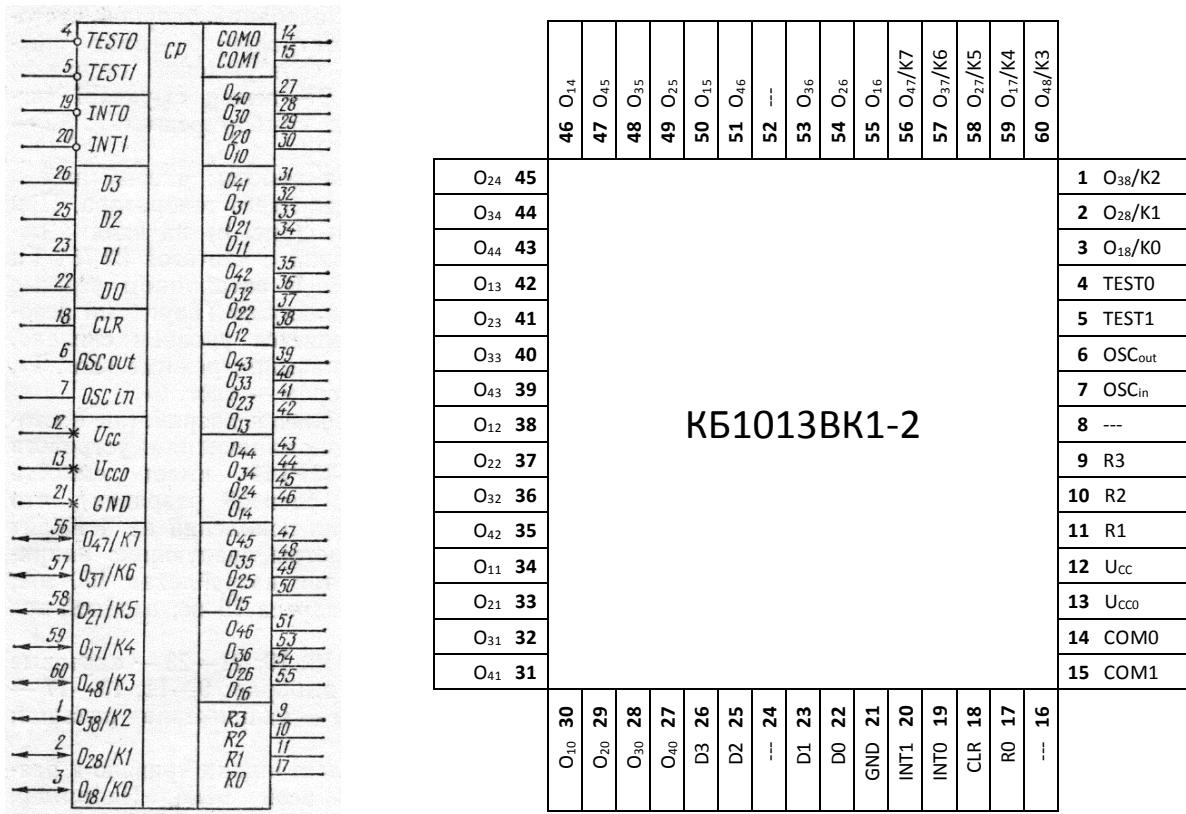


Рис. 1. Условное графическое обозначение ОЭВМ КБ1013ВК1-2

Таблица 2. Назначение выводов ОЭВМ КБ1013ВК1-2

Вывод	Обозначение	Назначение
4, 5	TEST0, TEST1	Тестовые входы
19, 20	INT0, INT1	Флаги внешнего прерывания
22, 23, 25, 26	DO ... D3	Вводной буфер данных общего назначения
18	CLR	Сброс
6	OSC _{out}	Выход тактового генератора
7	OSC _{in}	Вход тактового генератора
12	U _{cc}	Напряжение источника питания -3 В ±10%
13	U _{cco}	Напряжение источника питания -1,5 В ±10%
21	GND	Общий
56 ... 59	O ₄₇ /K7 ... O ₁₇ /K4	Вывод сегментной группы / двунаправленный порт младшей тетрады команд
60, 1 ... 3	O ₄₈ /K3 ... O ₁₈ /K0	Вывод сегментной группы / двунаправленный порт старшей тетрады команд
14, 15	COM0, COM1	Выводы общих электродов
27 ... 30	O ₄₀ ... O ₁₀	Выводы сегментных групп
31 ... 34	O ₄₁ ... O ₁₁	
35 ... 38	O ₄₂ ... O ₁₂	
39 ... 42	O ₄₃ ... O ₁₃	
43 ... 46	O ₄₄ ... O ₁₄	
47 ... 50	O ₄₅ ... O ₁₅	
51, 53 ... 55	O ₄₆ ... O ₁₆	
9 ... 11, 17	R3 ... R0	Выводной порт данных общего назначения
8, 24, 52	---	Свободные, взаимосвязанные
16	---	Свободный

Структурная организация

Структурные схемы ОЭВМ приведены на рис. 3 и 4. Четырехразрядное арифметическое логическое устройство (АЛУ) обеспечивает выполнение арифметических и логических функций и занесение их результатов в аккумулятор (рис. 5).

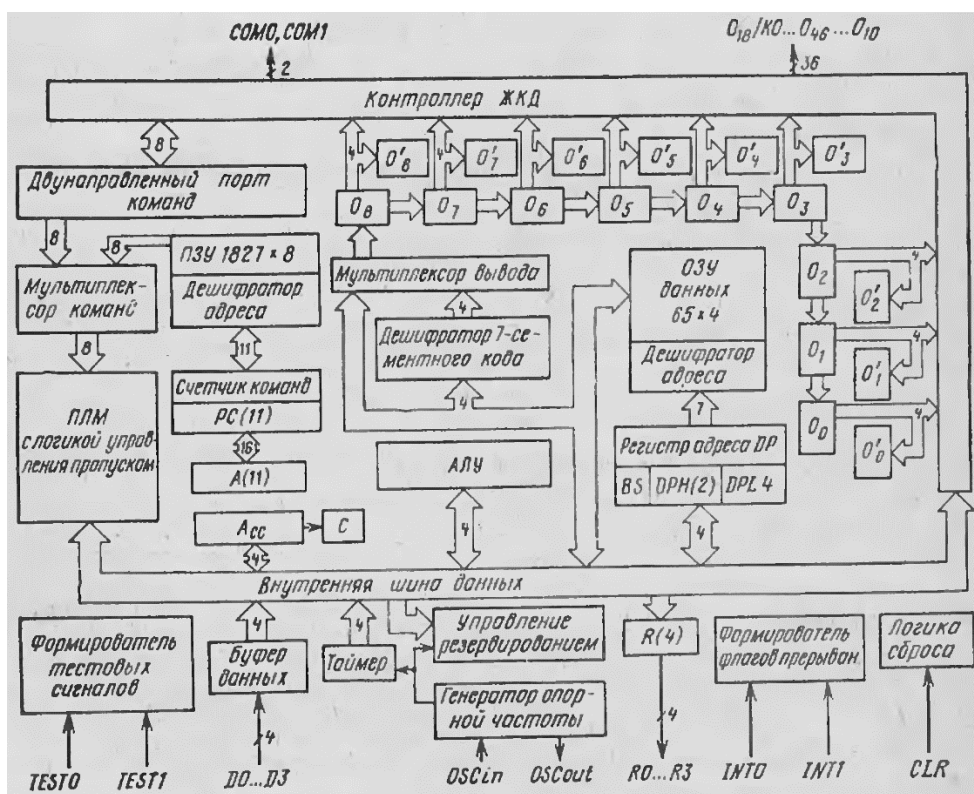


Рис. 3. Структурная схема ОЭВМ КБ1013ВК1-2

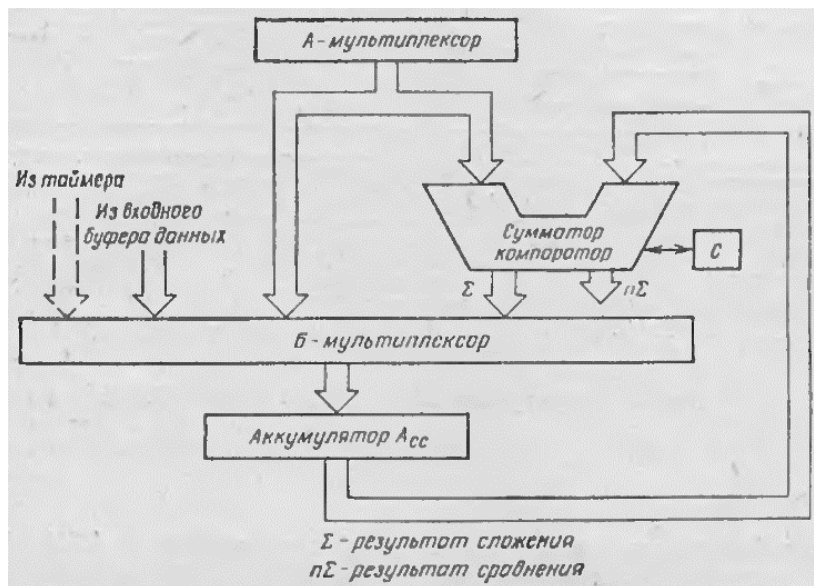


Рис. 5. Организация АЛУ ОЭВМ

А-мультиплексор выбирает данные из ОЗУ или из регистра слов ОЗУ DPL, которые запоминаются в Acc или поступают на вход сумматора-компаратора.

Б-мультиплексор выбирает данные из А-мультиплексора, сумматора-компаратора или входного буфера данных; выбранные данные запоминаются в Acc.

Сумматор-компаратор — это устройство комбинационного типа со сквозным последовательным переносом, осуществляющее логические и арифметические операции над данными из двух источников: А-мультиплексора и Acc.

Триггер переноса является многофункциональным устройством. Его можно программно устанавливать или сбрасывать, а также запоминать в нем значение переноса из старшего разряда и проверять на наличие нуля.

Устройство выборки микрокоманд (УВМ) управляет адресацией микропрограммного ПЗУ. В состав УВМ входят буферы адреса страниц и слов, счетчик команд, регистры возврата из подпрограмм, блок управления адресацией, дешифраторы слов и страниц.

Выполнение текущей и формирование адреса следующей команды происходит в течение одного машинного цикла. Поля распределения памяти программ приведены на рис. 6, 7. ПЗУ ОЭВМ КБ1013ВК4-2 состоит из 44 страниц по 63 слова каждая, а ПЗУ КБ1013ВК1-2 из 29 страниц также по 63 слова в каждой. Для адресации слов используются 6 младших разрядов счетчика команд. Если выполняемая команда не является командой передачи управления, то содержимое шести младших разрядов счетчика команд увеличивается на единицу. Полную замену содержимого программного счетчика выполняют команды JMP, CZP, CAL. Разница между ними состоит в том, что выполнение команды JMP не сопровождается записью в регистры возврата из подпрограммы.

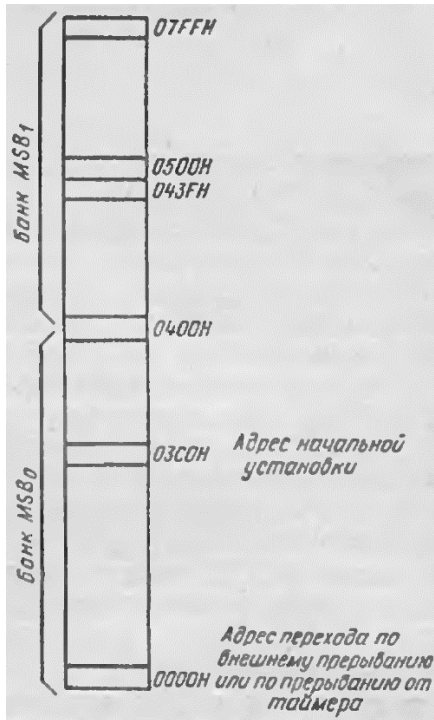


Рис. 6. Поле распределения памяти программ ОЭВМ KB1013BK1-2; адреса 0740H...077FH, 0780H...07BFH, 07C0H...07FFH не используются

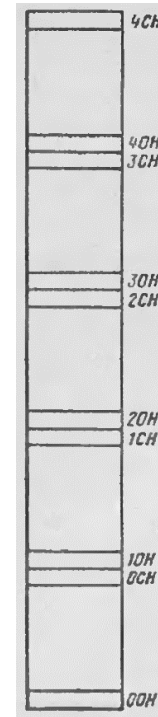


Рис. 8. Поле распределения памяти данных ОЭВМ KB1013BK1-2; адреса 0DH...0FH, 1DH...1FH, 2DH...2FH, 3DH...3FH, 4DH...7FH не используются

Команды RT, RTS, определяющие возврат из подпрограммы, обеспечивают запись из регистра возврата в счетчик команд. Если возврат осуществляется по команде RTS, то следующая за ней команда пропускается.

Устройство считывания-записи данных (УС/ЗД) управляет адресацией запоминающего устройства ОЭВМ в режимах считывания и записи 4-разрядных данных.

В состав УС/ЗД входят мультиплексор записи, регистры слов (DPL) и страниц (BS, DPH), дешифраторы слов и страниц.

Запись данных в ОЗУ осуществляется через мультиплексор записи и дешифратор страниц из Асс и с шины команд. Данные из Асс заносятся непосредственно во все разряды адресуемого 4-разрядного регистра. Данные с шины команд позволяют модифицировать информацию лишь в одном из четырех битов адресуемого регистра. Считываемые данные из ОЗУ поступают через дешифратор страниц в АЛУ. Регистр слов используется не только для адресации ОЗУ, но и в качестве регистра общего назначения, содержимое которого можно обменять на содержимое Асс, а также декрементировать и инкрементировать. Поля распределения памяти данных приведены на рис. 8, 9. Адресное пространство имеет страничную организацию. ОЗУ ОЭВМ KB1013BK4-2 состоит из восьми страниц по 16 слов в каждой, а ОЗУ KB1013BK1-2 из пяти страниц по 13 слов в каждой. Адрес выбранного слова запоминается в 4-разрядном DPL-регистре, адрес страницы - в триггере банка BS и 2-разрядном регистре страниц DPH. Эти регистры образуют регистр адреса ОЗУ DP.

Таймер состоит из 14 последовательно включенных каскадов делителя частоты и селектора частоты. На вход первого каскада поступает тактовая частота 16 384 Гц (при подключении внешнего генератора с частотой $F_r = 32\,768$ Гц). С выхода 14-го каскада снимается частота 1 Гц. Переключение разряда этого каскада фиксируется в триггере-защелке, который можно программно обрабатывать. Для ОЭВМ KB1013BK1-2 четыре старших разряда таймера (T10-T13) могут загружаться по команде LDF в Асс для дальнейшей обработки. В ОЭВМ KB1013BK4-2 разряды таймера T14, T11 по командам S11, S14 могут программно опрашиваться.

Устройство управления режимом малой потребляемой мощности осуществляет функцию резервирования, которая организована очень экономично с точки зрения потребления электроэнергии. Под управлением прикладной программы включается режим резервирования (HALT), в котором логические сигналы, тактирующие основные узлы микроЭВМ, «останавливаются».

В ОЗУ сохраняется записанная информация. В этом режиме потребление от источника питания I_{cc} составляет 1/5 от обычной величины. Выход из состояния резервирования осуществляется по прерыванию от таймера или входного буфера данных. Поскольку в режиме HALT функционирование может быть возобновлено по сигналам прерывания, этот режим используется для временной приостановки работы программы. Следовательно, путем чередования обычного функционирования с режимом HALT можно достичь снижения потребления энергии всей системой. Так, при чередовании

этих режимов во временном соотношении 1:4 будет получено общее снижение тока потребления в 3 раза по сравнению с непрерывным функционированием в обычном режиме.

На рис. 10 показан один из четырех разрядов входного логического буфера данных; каждый вход имеет резистор 5 МОм, подключенный к U_{CC} . Информацию из буфера данных по команде ICD можно передать в Асс для дальнейшей обработки.

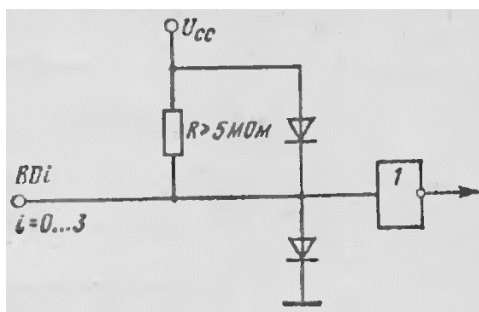


Рис. 10. Организация входного буфера данных

Контроллер жидкокристаллических дисплеев реализует временную диаграмму управления ЖКД, работающего с мультиплексией 1:2 для ОЭВМ КБ1013ВК1-2, 1:4 для ОЭВМ КБ1013ВК4-2. В состав контроллера ЖКД входят формирователи сигналов общих электродов, формирователи сегментного кода, схема управления.

Схема управления осуществляет автоматическую синхронизацию сигналов общих электродов и сегментного кода (рис. 11, 12). Сегмент считается «выбранным» при разности напряжений между сегментом и общим электродом, равной 2,6...3,3 В и частоте управляющего напряжения в диапазоне 30...100 Гц. Управление переменным напряжением повышает срок службы дисплея, так как уменьшается миграция примесей в жидком кристалле на общие электроды. Задающий кварцевый тактовый генератор с внешней частотозадающей цепью работает на частоте параллельного резонанса кварцевого генератора, номинальное значение которого 32 768 Гц. Тактовый генератор служит для выработки опорных колебаний $F=16\,384$ Гц, которые необходимы для формирования фазовых тактирующих импульсов, используемых во всех устройствах ОЭВМ. На выходы OSC_{in} , OSC_{out} можно подавать также сигналы от внешнего источника тактовых сигналов. Период опорной частоты соответствует машинному циклу ОЭВМ, равному 61 мкс.

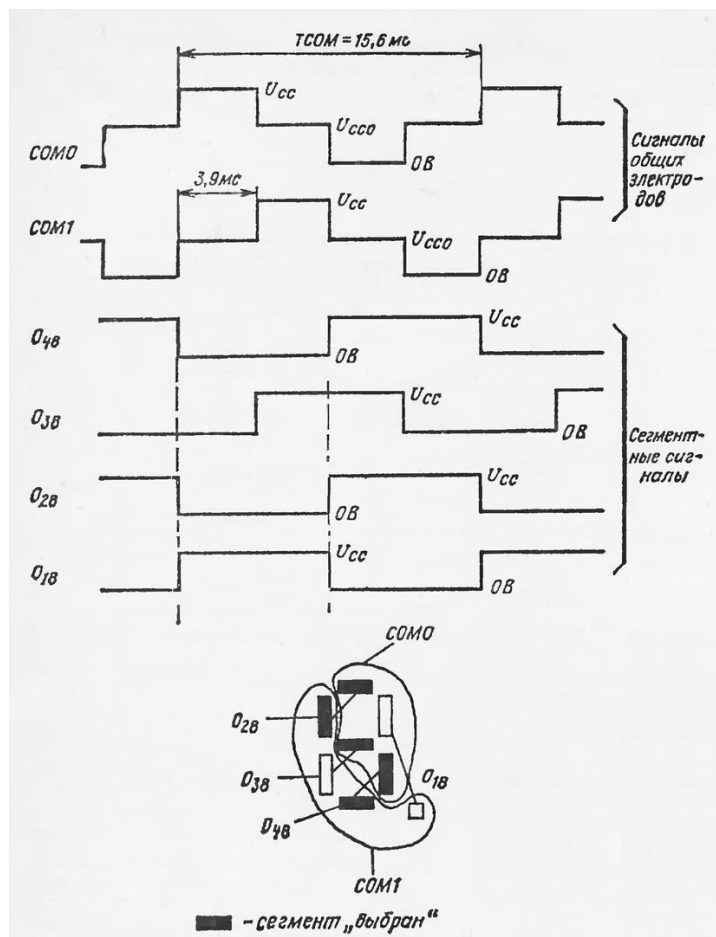


Рис. 11. Временные диаграммы формирования цифры «5» на 8-сегментном индикаторе для ОЭВМ КБ1013ВК1-2

В ОЭВМ предусмотрены два флага внешних прерываний: INT0, INT1, которые проверяются командами SI0, SI1. Организация входов флагов прерывания приведена на рис. 13.

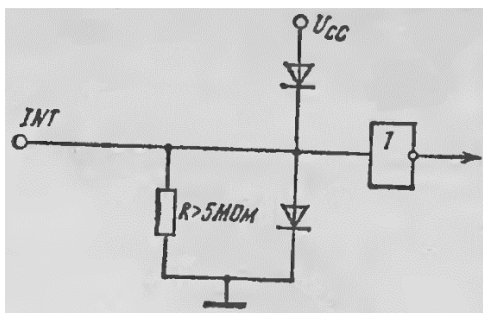


Рис. 13. Организация входа флага прерывания

Дешифратор сегментного кода содержит (рис. 14): банк 0, банк 1, формирователь младшего разряда банка 0, триггер выбора банка, мультиплексор. Дешифратор преобразует шестнадцатеричный код из Асс в сегментный для управления ЖКД. Прошивка дешифратора приведена в табл. 4. Формирователь младшего разряда банка 0 управляет «точкой» 8-сегментного индикатора. Мультиплексор дешифратора подключает ко входу мультиплексора вывода один из двух банков. В ОЭВМ КБ1013ВК4-2 дешифрация сегментного кода осуществляется программно.

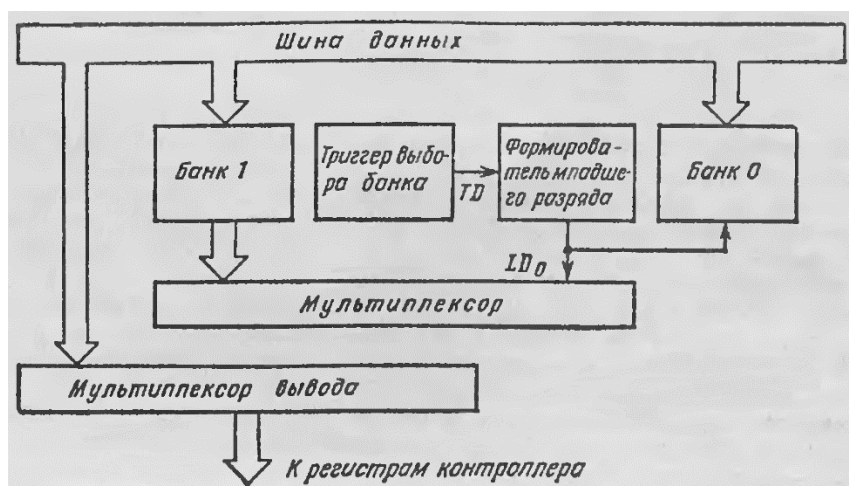


Рис. 14. Организация дешифратора 7-сегментного кода

Асс	Банк 1	Банк 0	
		LD ₀ = 0	LD ₀ = 1
0	В	Г	Е
1	9	1	0
2	7	Д	С
3	7	9	8
4	Д	3	2
5	Е	В	А
6	Е	Г	Е
7	В	3	2
8	В	Г	Е
9	В	В	А
А	4	1	0
Б	0	1	0
С	Д	3	2
Д	Е	В	А
Е	4	3	2
Ф	0	3	2

Вывод в порт О' Вывод в порт О

Табл. 4. Прошивка дешифратора 7-сегментного кода

Конструктивные особенности и электрические параметры

Микросхемы ОЭВМ выполнены в 60-выводных планарных пластмассовых корпусах. Типовое включение их приведено на рис. 15 и 16. Включение конденсатора между общим «+» и выводом CLR обеспечивает задержку нарастания отрицательного напряжения на этом выводе при подаче питания, что необходимо для начальной установки счетчика команд на пусковой адрес программы. Начальная установка ОЭВМ производится также нажатием кнопки CLR. Ячейки ОЗУ очищаются только программным путем.

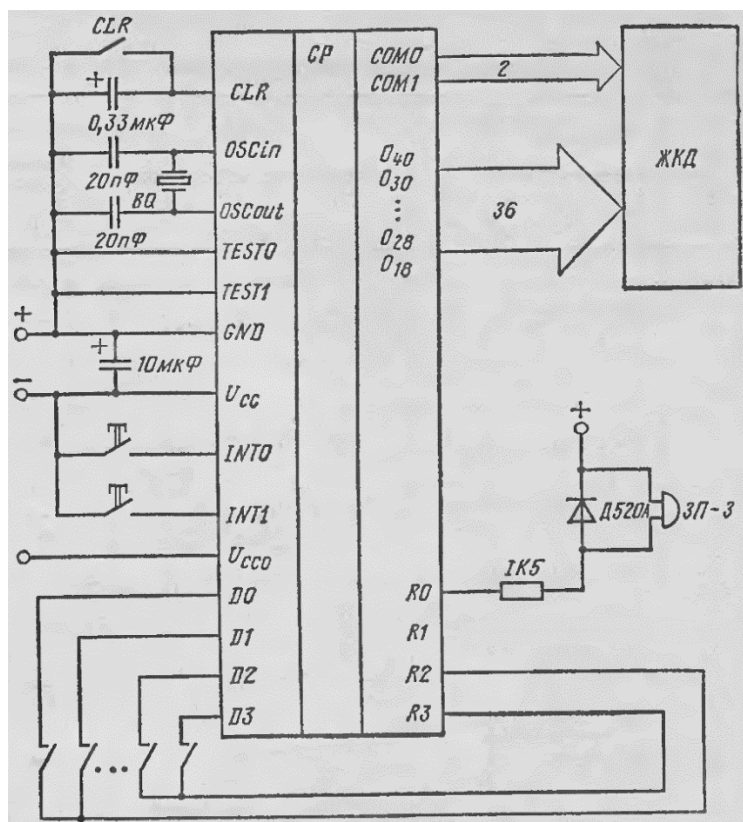


Рис. 15. Типовое включение ОЭВМ КБ1013ВК1-2

Электрические характеристики ОЭВМ и условия эксплуатации микроЭВМ приведены ниже.

	мин.	макс.
Входное напряжение, В:		
низкого уровня	U_{cc}	$0,9U_{cc}$
высокого уровня	$0,1U_{cc}$	0
Выходное напряжение, В:		
низкого уровня	---	$U_{cc}+0,2$
высокого уровня	-0,2	---
Время машинного цикла, мкс	61	61
Ток потребления, мкА	---	60
Диапазон рабочих температур, °С	-10	+55
Напряжение питания, В	-3,3	-2,7

Система команд и средства разработки прикладных программ

Система команд содержит 58 базовых команд для ОЭВМ КБ1013ВК1-2 и 53 для КБ1013ВК4-2 (табл. 5). Машинные команды разделены на 8 форматов (табл. 6). Декодирование кодов команд и формирование условий пропуска осуществляется с помощью программируемого логического массива. При выработке условий учитываются признаки, характерные для различных форматов команд (двух- или однобайтовых), и признаки, полученные в результате выполнения предыдущей команды.

Для ОЭВМ серии КБ1013 разработаны следующие программы отладки прикладного программного обеспечения.

Кроссассемблер, осуществляющий кроме непосредственного перевода программ, написанных на языке ассемблера ОЭВМ, в язык объектных кодов, проверку данных на допустимость (с соответствующей диагностикой обнаруженных ошибок). Это облегчает исправление ошибок в программе и предоставляет возможность отслеживать логику её выполнения на программно-логической модели.

Дизассемблер для преобразования объектных кодов в текстовый файл прикладной программы на языке ассемблера ОЭВМ.

Программно-логическая модель - интерактивный отладчик для программ, написанных на языке ассемблера - позволяет программисту управлять выполнением прикладной программы и проверять содержимое любой переменной или элемента массива в процессе выполнения.

Программа автоматической прошивки ПЗУ.

Программы отладки работают под управлением операционных систем РАФОС на мини-ЭВМ «Электроника 100/25», «Электроника 79».

ОЭВМ серии КБ1013 предназначены для применения в калькуляторах, часах, таймерах, электронных играх, контроллерах радиоэлектронной аппаратуры, электроприборов и вычислительных устройств, автомобильных контроллерах и т. д.

Широкий спектр применений обеспечивается малым энергопотреблением (менее 200 мкВт) и наличием встроенного контроллера ЖКД.

В настоящее время на базе ОЭВМ серии КБ1013 выпускаются электронные игры «Ну, погоди!», «Электроника 24-01», «Веселый повар», «Тайны океана» и др.

По вопросам получения дополнительной информации обращаться в Головной консультативно-технический центр. Тел. 468-13-70, Москва.

Статья поступила 15 мая 1987 г.

Система команд однокристалльных ЭВМ КБ1013ВК1-2

Мне-моника	Код операции К0...К7	Перемещение информации	Условие пропуска	Комментарий
Команды загрузки и обмена				
LC	0010C ₃ C ₂ C ₁ C ₀ (20h...2Fh)	C _{3...0} →Acc _{3...0}	---	Загрузка аккумулятора четырьмя битами данных; выполнение следующей LC-инструкции как NOP-инструкции
LAF	01011111 0Y ₆ Y ₅ Y ₄ Y ₃ Y ₂ Y ₁ Y ₀ (5Fh 00h...7Fh)	Y→DP	---	Загрузка DP-регистра семью битами непосредственных данных
LAS	0100C ₃ C ₂ C ₁ C ₀ (40h...4Fh)	0→BS C _{1,0} →DPH C ₃ C ₂ , 0, C ₃ , C ₂ →DPL _{3...0}	---	Загрузка DP-регистра четырьмя битами непосредственных данных; сброс триггера BS выбора банка ОЗУ
LDF	01011110 00000100 (5Eh 04h)	T _{13...10} →Acc	---	Загрузка в аккумулятор четырех старших разрядов таймера
BS0	01101011 (6Bh)	0→BS	---	Сброс триггера выбора банка ОЗУ
BS1	00000010 (02h)	1→BS	---	Установка триггера выбора банка ОЗУ
XL	00001011 (0Bh)	DPL↔Acc	---	Обмен аккумулятора с DPL-регистром
LM	00011000 (18h)	ОЗУ(DP)→Acc	---	Загрузка аккумулятора содержимым ОЗУ, адресуемым DP-регистром
LE	000110B ₁ B ₀ (19h...1Bh)	ОЗУ(DP)→Acc DPH ^ B ₁ B ₀ →DPH	---	Загрузка аккумулятора содержимым ОЗУ, адресуемым DP-регистром; выполнение «исключающего ИЛИ» между DPH и двумя битами непосредственных данных
XM	00010000 (10h)	ОЗУ(DP)↔Acc	---	Обмен аккумулятора с ОЗУ, адресуемым DP-регистром
XE	000100B ₁ B ₀ (11h...13h)	ОЗУ(DP)↔Acc DPH ^ B ₁ B ₀ →DPH	---	Обмен аккумулятора с ОЗУ, адресуемым DP-регистром; выполнение «исключающего ИЛИ» между DPH и двумя битами непосредственных данных
XI	00010100 (14h)	ОЗУ(DP)↔Acc DPL+1→DPL	DPL=7	Обмен аккумулятора с ОЗУ, адресуемым DP-регистром; пропуск следующей команды, если DPL=7; инкрементирование DPL
XEI	000101B ₁ B ₀ (15h...17h)	ОЗУ(DP)↔Acc DPH ^ B ₁ B ₀ →DPH DPL+1→DPL	DPL=7	Обмен аккумулятора с ОЗУ, адресуемым DP-регистром; пропуск следующей команды, если DPL=7; инкрементирование DPL; выполнение «исключающего ИЛИ» между DPH и двумя битами непосредственных данных
XD	00011100 (1Ch)	ОЗУ(DP)↔Acc DPL-1→DPL	DPL=0	Обмен аккумулятора с ОЗУ, адресуемым DP-регистром; пропуск следующей команды, если DPL=0; декрементирование DPL
XED	000111B ₁ B ₀ (1Dh...1Fh)	ОЗУ(DP)↔Acc DPH ^ B ₁ B ₀ →DPH DPL-1→DPL	DPL=0	Обмен аккумулятора с ОЗУ, адресуемым DP-регистром; пропуск следующей команды, если DPL=0; декрементирование DPL; выполнение «исключающего ИЛИ» между DPH и двумя битами непосредственных данных
BM0	000001B ₁ B ₀ (04h...07h)	0→ОЗУ(DP) _{бит}	---	Сброс одинарного бита регистра ОЗУ, адресуемого DP-регистром, обозначенного двумя битами непосредственных данных
BM1	000011B ₁ B ₀ (0Ch...0Fh)	1→ОЗУ(DP) _{бит}	---	Установка одинарного бита регистра ОЗУ, адресуемого DP-регистром, обозначенного двумя битами непосредственных данных
SM1	010101B ₁ B ₀ (54h...57h)	---	(DP) _{бит} =1	Пропуск следующей команды, если одинарный бит регистра ОЗУ, адресуемого DP-регистром, обозначенный двумя битами непосредственных данных, установлен
Арифметические и логические команды				
AM	00001000 (08h)	Acc+ОЗУ(DP)→Acc	---	Сложение аккумулятора с содержимым ОЗУ, адресуемым DP-регистром
AC	00001001 (09h)	Acc+ОЗУ(DP)+C→Acc P ₃ →C	P ₃ =1	Сложение аккумулятора с содержимым ОЗУ, адресуемым DP-регистром и с флагом переноса; установка переноса из старшего разряда в флаге

				переноса; пропуск следующей команды, если установился перенос из старшего разряда
A10	00111010 (3Ah)	Acc+10 ₁₀ →Acc	---	Сложение аккумулятора с 10 ₁₀ для коррекции двоично-десятичного вычитания
AS	0011C ₃ C ₂ C ₁ C ₀ (30h...39h, 3Bh...3Fh)	Acc _{3...0} +C _{3...0} →Acc _{3...0} C _{3...0} ≠10 ₁₀	P ₃ =1	Сложение аккумулятора с четырьмя битами непосредственных данных; пропуск следующей команды, если установился перенос из старшего разряда
CLL	01101000 (68h)	0→Acc 0→LD ₀	---	Очистка аккумулятора и сброс младшего разряда 0 банка дешифратора сегментного кода
COM	00001010 (0Ah)	not Acc→Acc	---	Формирование дополнения аккумулятора
CLC	01100110 (66h)	0→C	---	Очистка флага переноса
STC	01100111 (67h)	1→C	---	Установка флага переноса
SC0	01010010 (52h)	---	C=0	Пропуск следующей команды, если флаг переноса сброшен
SA0	01011010 (5Ah)	---	Acc=0	Пропуск следующей команды, если аккумулятор очищен
INC	01100100 (64h)	DPL+1→DPL	DPL=7	Пропуск следующей команды, если DPL=7; инкрементирование DPL
DEC	01101100 (6Ch)	DPL-1→DPL	DPL=0	Пропуск следующей команды, если DPL=0; декрементирование DPL
SAM	01010011 (53h)	---	Acc=(DP)	Пропуск следующей команды, если Acc равен содержимому ОЗУ, адресуемому DP-регистром
SAL	01011011 (5Bh)	---	Acc=DPL	Пропуск следующей команды если аккумулятор равен содержимому DPL
NOP	00000000 (00h)	---	---	Нет операции
Команды ввода-вывода				
ICD	01101010 (6Ah)	D→Acc	---	Ввод в аккумулятор инвертированной информации из входного буфера данных
OAR	00000001 (01h)	Acc→R	---	Передача содержимого аккумулятора в выводной порт R
OA0	01100010 (62h)	O ₈ →O ₇ →...→O ₀ Acc→O ₈ 0→O _{8[3]}	---	Вывод содержимого аккумулятора в регистр O ₈ порта вывода O; сброс старшего разряда регистра O ₈ ; параллельный сдвиг порта O вправо на четыре разряда
OA1	01100011 (63h)	O ₈ →O ₇ →...→O ₀ Acc→O ₈ 1→O _{8[3]}	---	Вывод содержимого аккумулятора в регистр O ₈ порта вывода O; установка старшего разряда регистра O ₈ ; параллельный сдвиг порта O вправо на четыре разряда
DAF	01011101 (5Dh)	O ₈ →O ₇ →...→O ₀ (Acc) _{DS} →O ₈	---	Вывод в регистр O ₈ порта вывода O дешифрованного значения содержимого аккумулятора; параллельный сдвиг порта O вправо на четыре разряда
DAS	01100001 (61h)	O ₈ →O ₇ (Acc) _{DS} →O ₈	---	Вывод в регистр O ₈ порта вывода O дешифрованного значения содержимого аккумулятора; передача содержимого регистра O ₈ в регистр O ₇
ABS	01011001 (59h)	O ₈ →O' ₈ O ₇ →O' ₇	---	Передача содержимого регистров O ₈ , O ₇ порта вывода O соответственно в регистры O' ₈ , O' ₇ порта вывода O'
ABF	01011100 (5Ch)	O _n →O' _n где n=0...8	---	Передача содержимого регистров порта O соответственно в регистры порта O'
CTB	01100000 (60h)	not TD→TD	---	Формирование дополнения триггера выбора банка дешифратора сегментного кода
LD0	01101001 (69h)	TD→LD ₀	---	Передача значения триггера выбора банка дешифратора сегментного кода в младший разряд банка 0 дешифратора сегментного кода
EN	00000011 (03h)	Acc ₃ →EN ₃ Acc ₀ →EN ₀	---	Передача старшего и младшего разрядов аккумулятора в контроллер ЖКД; разрешение вывода портов O, O' на ЖКД, если Acc ₃ =0, Acc ₀ =1
Команды передачи управления				
LP	0111C ₃ C ₂ C ₁ C ₀ (70h...7Fh)	C _{3...0} →PC _{9...6} MSB→PC ₁₀	---	Установка адреса страницы в одном из 2-х банков ПЗУ, выбираемых старшим разрядом счетчика команд

BR	10W ₅ W ₄ W ₃ W ₂ W ₁ W ₀ (80h...BFh)	W _{5...0} →PC _{5...0}	---	Переход на адрес, определяемый шестью битами непосредственных данных, в пределах установленной страницы ПЗУ
JMP (LP+BR)	0111C ₃ C ₂ C ₁ C ₀ 10W ₅ W ₄ W ₃ W ₂ W ₁ W ₀ (70h...7Fh 80h...BFh)	C _{3...0} →PC _{9...6} MSB→PC ₁₀ W _{5...0} →PC _{5...0}	---	Переход на адрес, определяемый десятью битами непосредственных данных в одном из двух банков ПЗУ, выбираемым старшим разрядом счетчика команд PC ₁₀
CZP	11W ₅ W ₄ W ₃ W ₂ W ₁ W ₀ (C0h...FFh)	PC _{10...0} +1→A _{10...0} 010H→PC _{10...6} W _{5...0} →PC _{5...0}	---	Вызов подпрограммы на странице 010H по адресу слова, определяемому шестью битами непосредственных данных; адрес возврата в регистре возврата A (11) сохраняется
CBR	11W ₅ W ₄ W ₃ W ₂ W ₁ W ₀ (C0h...FFh)	W _{5,4} →PC _{7,6} W _{3...0} →PC _{3...0}	---	Переход к подпрограмме (в пределах 4 страниц, 16 слов), определяемый шестью битами непосредственных данных
CAL (LP+CZP)	0111C ₃ C ₂ C ₁ C ₀ 11W ₅ W ₄ W ₃ W ₂ W ₁ W ₀ (70h...7Fh C0h...FFh)	PC _{10...0} +1→A _{10...0} C _{3...0} →PC _{9...6} MSB→PC ₁₀ W _{5...0} →PC _{5...0}	---	Переход к подпрограмме по адресу, определяемому десятью битами непосредственных данных в одном из 2 банков ПЗУ, выбираемым старшим разрядом счетчика команд PC ₁₀ ; сохранение адреса возврата в регистре возврата A (11)
CMS	01101101 (6Dh)	not MSB→MSB	---	Формирование дополнения триггера выбора банка ПЗУ
RT	01101110 (6Eh)	A _{10...0} →PC _{10...0}	---	Возврат из подпрограммы
RTS	01101111 (6Fh)	A _{10...0} →PC _{10...0}	всегда	Возврат из подпрограммы; безусловный пропуск следующей команды
SI1	01010000 (50h)	---	INT1=0	Пропуск следующей команды, если флаг внешнего прерывания INT1 не установлен
SI0	01010001 (51h)	---	INT0=0	Пропуск следующей команды, если флаг внешнего прерывания INTO не установлен
SYN	01100101 (65h)	0→T _{13...0}	---	Сброс таймера; запуск таймера
TIM	01011000 (58h)	---	TIME=0	Пропуск следующей команды, если триггер-защелка старшего разряда таймера сброшен; сброс триггера-защелки старшего разряда таймера
HLT	01011110 00000000 (5Eh 00h)	ожидание прерывания	---	Установка режима резервирования; переход на адрес 0000H ПЗУ из режима резервирования по нулевому значению триггера-защелки TIME старшего разряда таймера или по нулевому значению на одном из входов буфера D